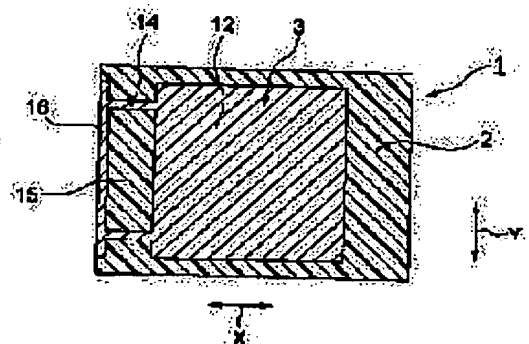


(11)Publication number : 2001-052952  
(43)Date of publication of application : 23.02.2001

H01G 4/12  
H01G 4/30

(72)Inventor : **IGARASHI KATSUHIKO**



\* NOTICES \*

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.\*\*\*\* shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

---

CLAIMS

---

[Claim(s)]

[Claim 1] The stacked type ceramic condenser with which resistance of the drawer section of an internal electrode layer which does not participate in electrostatic capacity is characterized by having stronger resistance than resistance of the lap section which participates in electrostatic capacity in the stacked type ceramic condenser with which the laminating of an internal electrode layer and the dielectric layer was carried out by turns.

[Claim 2] The stacked type ceramic condenser according to claim 1 with which the cross sectional area of said drawer section is characterized by being smaller than the cross sectional area of said lap section.

[Claim 3] said drawer section -- a line -- the stacked type ceramic condenser according to claim 2 characterized by including a pattern.

[Claim 4] The stacked type ceramic condenser according to claim 2 with which thickness of said drawer section is characterized by being smaller than the thickness of said lap section.

[Claim 5] The manufacture approach of a stacked type ceramic condenser that resistance of the drawer section of an internal electrode layer which does not participate in electrostatic capacity is characterized by choosing the pattern configuration of the drawer section in the manufacture approach of a stacked type ceramic condenser of having the process which carries out the laminating of an internal electrode layer and the dielectric layer by turns so that it may have stronger resistance than resistance of the lap section which participates in electrostatic capacity in case the pattern of said internal electrode layer is formed on said dielectric layer.

[Claim 6] The manufacture approach of the stacked type ceramic condenser characterized by changing the pattern configuration of the drawer section of an internal electrode layer which does not participate in electrostatic capacity with the pattern configuration of the lap section which participates in electrostatic capacity in the manufacture approach of a stacked type ceramic condenser of having the process which carries out the laminating of an internal electrode layer and the dielectric layer by turns so that the equivalent series resistance of a stacked type ceramic condenser may serve as a predetermined value in case the pattern of said internal electrode layer is formed on said dielectric layer.

---

[Translation done.]

**\* NOTICES \***

**JPO and NCIPi are not responsible for any damages caused by the use of this translation.**

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.\*\*\*\* shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

---

**DETAILED DESCRIPTION**

---

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the stacked type ceramic condenser which can control equivalent series resistance (ESR) to accuracy, and its manufacture approach.

[0002]

[Description of the Prior Art] With development of an information communication link, the miniaturization of electronic equipment is progressing dramatically and especially the commercial scene of a cellular phone shows wonderful elongation. Although Regulator IC is built into these cellular phones, it has connected with this so that a stacked type ceramic condenser may constitute an output smoothing circuit.

[0003] However, equivalent series resistance (ESR) is dramatically low, the signal in a circuit carries out a loop formation, and an oscillation phenomenon arises, consequently a stacked type ceramic condenser tends to serve as a noise at the time of conversation. That is, in the secondary circuit of Regulator IC, if ESR of a smoothing circuit has big effect on the phase characteristic of a feedback loop and especially ESR becomes extremely low, a problem will be produced. That is, when the low stacked type ceramic condenser of ESR is used as a capacitor for smooth, a secondary smoothing circuit will consist of only L and a C component equivalent, and the phase component which exists in a circuit will become only  $\pm 90$  degrees and 0 degree, the allowances of a phase will be lost, and it will oscillate easily.

[0004] In order to control this oscillation, the big capacitor of ESR is needed. Although there is an electrolytic capacitor using a tantalum or aluminum as a big capacitor of ESR, since there is a decisive problem on dependability, such as a liquid spill, it cannot be used for a cellular phone. Therefore, the actual condition is that the noise at the time of the cellular-phone activity resulting from the capacitor for smoothing circuits is left.

[0005] In order to cancel such a trouble, the electronic parts which raised ESR of a stacked type ceramic condenser are proposed. For example, for patent No. 2578264, a metal oxide film is formed in the front face of the external terminal electrode of a stacked type ceramic condenser, and by operating this as resistance, ESR is raised and it is going to control resistance by the oxide-film thickness.

[0006] However, in case the capacitor indicated by the patent is manufactured actually, if control of oxidation of a terminal electrode is difficult and extent of oxidation is larger, an internal electrode will also oxidize, and it has a technical problem of it becoming impossible to achieve the function as a capacitor. Moreover, even if it can oxidize only a terminal electrode, since the terminal electrode has oxidized, inconvenience will arise.

[0007] That is, in case it plates on the front face of a terminal electrode, it is necessary to form a plating coat by electroless deposition, and in case it is the plating, it is necessary to cover with resin etc., since the terminal electrode has oxidized so that even a ceramic element assembly may not be plated. for this reason, the adhesive property between a process not only becoming complicated but the oxide film, and the plating film (nickel film) -- remarkable -- falling -- the meantime -- exfoliation -- being generated -- the need as electronic parts -- there is a fault that sufficient mechanical strength is not obtained. That is, when lead wire is prepared in the nickel-plating film of a terminal electrode, this lead wire will exfoliate easily.

[0008] Moreover, for example, what carried out the laminating of the resistive paste, such as ruthenium oxide, to the stacked type ceramic condenser, carried out simultaneous baking of this, and was made into the resistor is known as indicated by JP,59-225509,A. however, the case where a terminal electrode is prepared in this as it was -- an equal circuit -- C/R -- it cannot become a parallel circuit and or (LC/R) cannot obtain a series circuit. Moreover, in order to obtain a series circuit, the configuration of a terminal electrode will become complicated and a production process will also become complicated.

[0009] In addition, many of oxide resistors have many which have temperature dependence, and the equipment used in the environment where temperature conditions change is also expected the small device of temperature dependence. Furthermore, with the structure of the above-mentioned conventional capacitor, control of ESR is dramatically difficult and desired resistance cannot be acquired easily.

[0010] Recently, it is called for from various equipments including a power source or an electrical machinery and apparatus, and electronic equipment being used under various environments that there is no change of a property also under a severe service condition. It is important for especially ESR that passed and it is stable to the time.

[0011]

[Problem(s) to be Solved by the Invention] The object of this invention is offering the laminating ceramic condenser which could control ESR easily and was extremely stabilized also in the reliability trial, and the manufacture approach for which it was suitable in order to manufacture that capacitor, without completely changing the production process of the usual stacked type ceramic condenser.

[0012]

[Means for Solving the Problem] In order to attain the above-mentioned object, the stacked type ceramic condenser concerning this invention is characterized by having the resistance with stronger resistance of the drawer section of an internal electrode layer which does not participate in electrostatic capacity than resistance of the lap section which participates in electrostatic capacity in the stacked type ceramic condenser with which the laminating of an internal electrode layer and the dielectric layer was carried out by turns.

[0013] What is necessary is just to make the cross sectional area of said drawer section smaller than the cross sectional area of said lap section, in order to make resistance of said drawer section larger than resistance of the lap section.

[0014] said drawer section -- a line -- it is desirable that a pattern is included.

[0015] Thickness of said drawer section may be made smaller than the thickness of said lap section.

[0016] It is characterized by for the manufacture approach of the stacked type ceramic condenser concerning the 1st viewpoint of this invention to choose the pattern configuration of the drawer section in the manufacture approach of a stacked type ceramic condenser of having the process which carries out the laminating of an internal electrode layer and the dielectric layer by turns so that it may have resistance stronger in case the pattern of an internal electrode layer is formed on a dielectric layer than resistance of the lap section to which resistance of the drawer section of an internal electrode layer which does not participate in electrostatic capacity participates in electrostatic capacity.

[0017] In case the manufacture approach of the stacked type ceramic condenser concerning the 2nd viewpoint of this invention forms the pattern of an internal electrode layer on a dielectric layer, it is characterized by to change the pattern configuration of the drawer section of an internal electrode layer which does not participate in electrostatic capacity with the pattern configuration of the lap section which participates in electrostatic capacity in the manufacture approach of a stacked type ceramic condenser of having the process which carries out the laminating of an internal electrode layer and the dielectric layer by turns so that the equivalent series resistance of a stacked type ceramic condenser may serve as a predetermined value.

[0018]

[Function] In this invention, the stacked type ceramic condenser which can control ESR easily can be manufactured except changing the pattern of the drawer section in an internal electrode layer, without completely changing the production process of a stacked type ceramic condenser.

[0019] The configuration of the internal electrode layer of a stacked type ceramic condenser was seen from the flat-surface side, and has usually constituted the shape of a square. This is for enlarging area of the lap section with the internal electrode layer which counters through a dielectric layer, and acquiring electrostatic capacity to the maximum extent. Moreover, the drawer section of an internal electrode layer is only for securing connection with a terminal electrode, and does not contribute to electrostatic capacity at all.

[0020] ESR of a capacitor is controllable by lapping and changing the pattern configuration or thickness of this drawer section to the pattern configuration of the section with especially this invention. Therefore, in this invention, it becomes controllable [ ESR ], without completely reducing electrostatic capacity only by changing the configuration or thickness of the drawer section.

[0021]

[Embodiment of the Invention] Hereafter, this invention is explained based on the operation gestalt shown in a drawing. The sectional view of the stacked type ceramic condenser which drawing 1 requires for 1

operation gestalt of this invention, the sectional view which meets the II-II which shows drawing 2 to drawing 1, the sectional view showing the pattern of the internal electrode layer which drawing 3 - drawing 5 require for other operation gestalten of this invention, the top view showing the pattern of the internal electrode layer which drawing 6 (A) requires for the pan of this invention at other operation gestalten, and drawing 6 (B) are important section sectional views which meet the VIB-VIB line of drawing 6 (A).

[0022] As shown in 1st operation gestalt drawing 1, the stacked type ceramic condenser 1 concerning 1 operation gestalt of this invention has the capacitor element body 10 of a configuration of that the laminating of a dielectric layer 2 and the internal electrode layer 3 was carried out by turns. The external terminal electrode 4 of the internal electrode layer 3 arranged by turns inside the component body 10 and the couple through which it flows respectively is formed in the direction both ends of X of this capacitor element body 10. Although there is especially no limit in the configuration of the capacitor element body 10, it usually considers as the shape of a rectangular parallelepiped. Moreover, although what is necessary is for there to be especially no limit also in the dimension, and just to consider as a suitable dimension according to an application, it is usually  $x(0.6-5.6\text{mm})$   $(0.3-5.0\text{mm})$   $x$   $(0.3-1.9\text{mm})$  extent.

[0023] Each internal electrode layer 3 has the lap section 12 and the connection 16 which pulls out in the lap section 12 and is connected through the section 14, as shown in drawing 2. The pattern of the internal electrode layer 3 and the right and left of the direction of X which show the pattern of the internal electrode layer 3 by which a laminating is carried out through a dielectric layer 2 to the bottom of the pattern of the internal electrode layer 3 shown in drawing 2 or a top to drawing 2 become reverse. And the connection 16 of the internal electrode layer 3 by which a laminating is carried out by turns through a dielectric layer 2 exposes to the front face of two edges where the capacitor element body 10 shown in drawing 1 counters by turns, and is connected to the external terminal electrode 4 of the couple arranged at those parts, respectively. Consequently, the internal electrode layer 3 by which the laminating was carried out through the dielectric layer 2 constitutes a capacitor circuit.

[0024] In each internal electrode layer 3, the lap section 12 is a part with which the internal electrode layer 3 by which a laminating is carried out by turns through a dielectric layer 2 sees and laps from a flat-surface view side, and the part participates in the electrostatic capacity of a capacitor. Moreover, the drawer section 14 and a connection 16 are parts with which the internal electrode layer 3 by which a laminating is carried out by turns through a dielectric layer 2 sees, and does not lap from a flat-surface view side, and are a part which does not participate in the electrostatic capacity of a capacitor but aims at connection with the external terminal electrode 4.

[0025] Since the lap section 12 is a part which participates in electrostatic capacity, in order to raise electrostatic capacity, it is desirable, and with this operation gestalt, that it is a large area as much as possible sees from a flat-surface view side, and it is a rectangle-like pattern. in order that a connection 16 may be a part directly connected to the external terminal electrode 4 shown in drawing 1 and may aim at positive connection -- the lap section 12 and abbreviation -- it is desirable to have the comparable direction width of face of Y.

[0026] the line to which resistance of the drawer section 14 of the internal electrode layer 3 which does not participate in electrostatic capacity is extended in the direction of X in the pattern of the drawer section 14 with this operation gestalt so that it may have stronger resistance than resistance of the lap section 12 which participates in electrostatic capacity as shown in drawing 2 -- it is considering as the pattern. the line which constitutes the drawer section 14 from this operation gestalt -- a pattern -- two -- carrying out -- two lines -- it lapped by the pattern and the section 12 and a connection 16 are connected electrically. two lines which constitute the drawer section 14 -- between patterns, a clearance 15 is formed and the dielectric layer 2 of the direction of a laminating is continuing in the clearance 15. the line which constitutes the drawer section 14 -- although especially the line breadth of a pattern is not limited, it is min, and it is comparable as the thickness of the internal electrode layer 3, is max, and is  $1/2$  of the width of face of the lap section 12.

[0027] Next, the manufacture approach of the stacked type ceramic condenser 1 of this operation gestalt is shown in a detail.

The paste for [paste for dielectric layers] dielectric layers kneads a dielectric raw material and an organic vehicle, and is manufactured. The powder according to the presentation of a dielectric layer is used for a dielectric raw material. Although it is not limited especially as dielectric materials and various dielectric materials may be used, titanium oxide, titanium system multiple oxides, or such mixture are desirable, for example. as a titanium oxide system -- the need -- responding --  $\text{NiO}$ ,  $\text{CuO}$ , and  $\text{Mn}_3\text{O}_4$  aluminum  $2\text{O}_3$   $\text{MgO}$  and  $\text{SiO}_2$  etc. -- a total of 0.001 -- about 30wt% -- added  $\text{TiO}_2$  A system is mentioned. moreover -- as a titanate-acid system multiple oxide -- barium titanate  $\text{BaTiO}_3$  etc. -- it is mentioned. the atomic ratio of

Ba/Ti -- 0.95 to about 1.20 -- good -- BaTiO<sub>3</sub> \*\*\*\* -- MgO, CaO, Mn<sub>3</sub>O<sub>4</sub>, V<sub>2</sub>O<sub>5</sub>, ZnO and ZrO<sub>2</sub>, Nb<sub>2</sub>O<sub>5</sub>, Cr<sub>2</sub>O<sub>3</sub>, Fe<sub>2</sub>O<sub>3</sub>, P<sub>2</sub>O<sub>5</sub>, Na<sub>2</sub>O and K<sub>2</sub>O etc. -- a total of 0.001 -- about -30wt% -- it may be added. Moreover, it is SiO<sub>2</sub> (Ba, calcium) because of adjustment of burning temperature and coefficient of linear expansion. Glass, such as glass, may be added.

[0028] Especially the manufacture approach of a dielectric raw material is BaTiO<sub>3</sub> which carried out hydrothermal synthesis when it was not limited, for example, barium titanate was used. The approach of mixing an accessory constituent raw material can be used. Moreover, BaCO<sub>3</sub>, TiO<sub>2</sub>. The dry type synthesis method to which temporary quenching of the mixture with an accessory constituent raw material is carried out, and it carries out solid phase reaction may be used. Moreover, temporary quenching of the mixture of the precipitate and the accessory constituent raw material which were obtained with the coprecipitation method, the sol-gel method, the alkali hydrolyzing method, the precipitate mixing method, etc. may be carried out, and it may be compounded. In addition, an oxide, the various compounds which turn into an oxide by baking, for example, a carbonate, an oxalate, a hydroxide, an organometallic compound, etc. can use more than a kind for an accessory constituent at least. Although what is necessary is just to determine the mean particle diameter of dielectric materials according to the diameter of average crystal grain of the dielectric layer made into the object, powder with a mean particle diameter of about 0.3-1.0 micrometers is usually used for it. A dielectric paste kneads a dielectric raw material and an organic vehicle is manufactured in it.

[0029] An organic vehicle dissolves a binder into an organic solvent. What is necessary is not to limit especially the binder used for an organic vehicle, but just to choose it from the various usual binders, such as ethyl cellulose, suitably. Moreover, what is necessary is not to limit especially the organic solvent to be used, either but just to choose from various organic solvents, such as terpineol, butyl carbitol, an acetone, and toluene, suitably according to print processes, the sheet method, and the approach of using.

[0030] Although especially the thickness of a dielectric layer that is a hit much more is not limited, it is usually about 1.5-20 micrometers. Moreover, the number of laminatings of a dielectric layer is usually 100 to about 300.

[0031] Although especially the electric conduction material of the paste for [paste for internal electrode layers] internal electrode layers is not limited, the thing which is chosen from nickel and Cu and which consist more than of a kind at least is desirable. Moreover, a cheap base metal can be used by using what has reducibility-proof for a dielectric lamination ingredient. For this reason, especially as electric conduction material, nickel or nickel alloy is desirable. As a nickel alloy, the element more than a kind chosen from Mn, Cr, Co, aluminum, etc. and the alloy of nickel are desirable, and, as for nickel content in an alloy, it is desirable that it is more than 95wt%. in addition -- the inside of nickel or nickel alloy -- various minor constituents, such as P, -- or less about 0.1wt% -- it may be contained.

[0032] The paste for internal electrodes kneads and adjusts the various above-mentioned conductive metals, an alloy or the various oxide used as the electric conduction material described above after baking, an organometallic compound, resin, etc. and the above-mentioned organic vehicle. Although what is necessary is just to determine the thickness of the internal electrode layer 3 suitably according to an application, it is desirable that it is about 0.5-5 micrometers.

[0033] The paste for [paste for external terminal electrodes] external terminal electrodes contains electric conduction material, a glass frit, and an organic vehicle. Although said electric conduction material is chosen from Ag, Au, Pt, Pd, Cu, and nickel by more than kind at least, since it is cheap, Cu, nickel, or these alloys are desirable, and especially its Cu is desirable. A glass frit is added in order to secure adhesion with sintering acid or a chip element assembly to these electric conduction material.

[0034] Mean particle diameter of electric conduction material is set to 0.01-10 micrometers. Condensation of an electric conduction material particle becomes intense, and when particle size is smaller than this, it can be burned, and it becomes easy to produce a crack in a terminal electrode, and the time of spreading of the paste for terminal electrodes, and desiccation, or when particle size is larger than this, pasting sometimes becomes difficult. Moreover, mean particle diameter of a glass frit is set to 0.01-30 micrometers. If particle size is smaller than this, sintering of electric conduction material will become uneven, it becomes the cause of making a terminal electrode generating a crack, and if larger than this, distribution of glass will worsen, and it is in the inclination for the adhesive property of a terminal electrode and an element assembly to fall. These electric conduction material and a glass frit are distributed in a vehicle, and the paste for terminal electrodes is obtained.

[0035] Especially a glass frit presentation is not limited. However, when Cu is used for electric conduction material, it is required to be what achieves the function as glass also on the need of calcinating a terminal

electrode, and under these ambient atmospheres at neutrality or a reducing atmosphere. As such a thing, for example Silicic-acid glass ( $\text{SiO}_2$  : 20 - 80wt%,  $\text{Na}_2\text{O}$  : 80 - 20wt%), Borosilicate glass ( $\text{B}_2\text{O}_3$  : 5 - 50wt% and  $\text{SiO}_2$  : 5 - 70wt% and  $\text{PbO}$  : 1 - 10wt% and  $\text{K}_2\text{O}$  : 1 - 15wt%), A kind of the glass frit chosen from alumina silicic-acid glass ( $\text{aluminum}_2\text{O}_3$  : 1 - 30wt% and  $\text{SiO}_2$  : 10 - 60wt%,  $\text{Na}_2\text{O}$  : 5 - 15wt% and  $\text{CaO}$  : 1 - 20wt% and  $\text{B}_2\text{O}_3$  : 5 - 30wt%), or two sorts or more What is necessary is just to use. this -- the need -- responding --  $\text{CaO}$  : -- 0.01 - 50wt% and  $\text{BaO}$  : 0.01 - 50wt% and  $\text{MgO}$  : 0.01 - 5wt% and  $\text{ZnO}$  : 0.01 - 70wt% and  $\text{PbO}$  : 0.01 - 5wt% and  $\text{Na}_2\text{O}$  : 0.01 - 10wt% and  $\text{K}_2\text{O}$  : 0.01 - 10wt% and  $\text{MnO}_2$  : What is necessary is to mix and just to use additives, such as 0.01 - 20wt%, so that it may become a predetermined presentation. Although especially the content of the glass to the metal component which is electric conduction material is not limited, it is usually about 0.5-15wt% to a metal component. What is necessary is just to use an above-mentioned thing as an organic vehicle.

[0036] What is necessary is for there to be especially no limit in the content of the organic vehicle under each paste which carried out the [content of organic vehicle] above, and to make the usual content, for example, a binder, into about 1-5wt%, and just to make a solvent into 10 - 50wt%. Moreover, during each paste, the additive chosen from various dispersants, a plasticizer, a dielectric, an insulator, etc. if needed may contain. As for these total contents, considering as less than [ 10wt% ] is desirable.

[0037] When using [production of Green chip] print processes, the paste for dielectrics and the paste for internal electrodes are printed in the shape of [ , such as PET, ] a substrate. A laminating is carried out so that one side of the edge of the paste for internal electrodes may be outside exposed by turns from the edge of a dielectric paste at this time. Then, thermocompression bonding is carried out, and after cutting and chip-izing in a predetermined configuration, it exfoliates from a substrate and considers as the Green chip.

[0038] Moreover, when using the sheet method, a green sheet is formed using the paste for dielectric layers, the paste for internal electrode layers is printed on this green sheet, these are repeated by turns and carry out a laminating, and it cuts in a predetermined configuration and considers as the Green chip.

[0039] With this operation gestalt, as it is shown in drawing 2 in case the paste for internal electrodes is printed for example, the pattern for internal electrodes which consists of the lap section 12, the drawer section 14, and a connection 16 is formed.

[0040] Although they may be the usual thing, when using base metal, such as nickel and nickel alloy, for the electric conduction material of an internal electrode layer, as for the conditions of the debinder processing performed before [debinder process] baking, it is desirable to carry out on condition that the following especially.

Especially an hour 5-300 degrees C /Programming rate : A 10-100 degree-C/hour retention temperature:200-400 degree-C/hour, Especially for 0.5 to 24 hours Especially, 250-300-degree-C [ /] hour temperature holding time : the ambient atmosphere at the time of baking of the [baking process] Green chip in 5 - 20-hour ambient atmosphere:air Although what is necessary is just to choose suitably according to the class of electric conduction material of the paste for internal electrodes A firing environments is  $\text{N}_2$  when using base metal, such as nickel and nickel alloy, as electric conduction material. It considers as a principal component and is  $\text{H}_2$ .  $\text{H}_2$  obtained with the water vapor pressure in 10-35 degrees C 1 to 10% What mixed O gas is desirable. Oxygen tension is 10-8 to 10-12. Considering as an atmospheric pressure is desirable. When oxygen tension is said under range, a lifting and breaking off have the electric conduction material of an internal electrode in abnormality sintering. Moreover, when oxygen tension crosses said range, it is in the inclination for an internal electrode to oxidize. As for especially the retention temperature at the time of baking, it is desirable to consider as 1200-1300 degrees C 1100-1400 degrees C. An internal electrode will become easy to break off, if eburnation is inadequate in retention temperature being said under range and said range is crossed. Moreover, especially the temperature holding time at the time of baking has 1 - 3 desirable hours for 0.5 to 8 hours.

[0041] When it calcinates by [annealing process] reducing atmosphere, it is desirable to give annealing to a laminating chip capacitor. Annealing is processing for reoxidating a dielectric layer, and, thereby, can lengthen accelerated aging of insulation resistance remarkable.

[0042] As for especially the oxygen tension of an annealing ambient atmosphere, it is desirable to consider as 10-6 - 10-8 atmospheric pressure ten to six or more atmospheric pressures. If reoxidation of a dielectric layer is difficult in oxygen tension being said under range and said range is crossed, an internal electrode will oxidize.

[0043] As for especially the retention temperature of annealing, it is desirable to consider as 500-1000 degrees C 1100 degrees C or less. If the inclination it to become being said under range oxidizing [ of a dielectric layer ] retention temperature inadequate, and for accelerated aging of insulation resistance to



become short is shown and said range is crossed, an internal electrode will ~~size~~, not only capacity falls, but it reacts with a dielectric base and accelerated aging becomes short. In addition, an annealing process may consist of only temperature up and a temperature fall. In this case, it is not necessary to take the temperature holding time, and retention temperature is synonymous with a maximum temperature. Moreover, especially the temperature holding time has 2 - 10 desirable hours for 0 to 20 hours. In a controlled atmosphere, it is N<sub>2</sub>. H<sub>2</sub> humidified It is desirable to use gas.

[0044] In addition, it sets at each process of the above-mentioned debinder processing, baking, and annealing, and is N<sub>2</sub>. H<sub>2</sub> What is necessary is just to use UETTA etc., in order to humidify mixed gas etc. The water temperature in this case has desirable about 5-75 degrees C. Debinder down stream processing, a baking process, and an annealing process may be performed continuously, or may be performed independently. When performing these continuously, after debinder processing, it may not cool, but an ambient atmosphere may be changed and performed independently. When these are performed continuously, the ambient atmosphere was changed, and it calcinates by having carried out temperature up to the retention temperature of baking continuously, it subsequently cools [ it did not cool, but ] after debinder processing and the retention temperature in an annealing process is reached, it is desirable to change an ambient atmosphere and to perform annealing.

[0045] Moreover, when performing these independently, debinder down stream processing is lowered to a room temperature, after carrying out temperature up and carrying out predetermined time maintenance to predetermined retention temperature. Let the debinder ambient atmosphere in that case be the same thing as the case where it carries out continuously. Moreover, a debinder process and a baking process are performed continuously, and it may be made to perform only an annealing process independently, and only a debinder process is performed independently and it may be made to perform a baking process and an annealing process continuously.

[0046] The paste for [terminal electrode formation] terminal electrodes is applied to a sintered compact chip. What is necessary is to just be based on a dip method etc., although not limited especially as a spreading process. Although what is necessary is for the sintered compact chip size which it is not limited and is applied just to adjust especially the coverage of the paste for terminal electrodes suitably, it is usually about 5-100 micrometers. It dries after applying the paste for terminal electrodes. It is desirable to perform desiccation at about 60-150 degrees C for 10 minutes to about 1 hour.

[0047] After applying the paste for terminal electrodes as mentioned above and drying, baking to a chip element assembly is performed. Baking conditions are N<sub>2</sub>. Neutral atmosphere, or N<sub>2</sub> and H<sub>2</sub> It is desirable to carry out by holding at 600 degrees C - 1000 degrees C in reducing atmosphere, such as mixed gas, for about 0 to 1 hour.

[0048] nickel layer, Sn layer, or a Sn-Pb alloy layer is formed with electrolysis plating on the above-mentioned terminal electrode if needed [ [deposit] ]. Although especially the thickness of a deposit is not limited, it is usually about 0.1-10 micrometers.

[0049] With a [operation of stacked type ceramic condenser and its manufacture approach] book operation gestalt, the stacked type ceramic condenser 1 which can control ESR easily can be manufactured except changing the pattern of the drawer section 14 in the internal electrode layer 3, without completely changing the production process of a stacked type ceramic condenser.

[0050] ESR of a capacitor is controllable by lapping and changing the pattern configuration of this drawer section 14 to the pattern configuration of the section 12 with especially this operation gestalt. Therefore, with this operation gestalt, it becomes controllable [ ESR ], without completely reducing electrostatic capacity only by changing the configuration of the drawer section 14.

[0051] Although especially the concrete value of ESR is not limited, it is 0.5ohms - about 10ohms, and are usually 0.5-5ohm preferably. The stacked type ceramic condenser which has ESR of this range can demonstrate engine performance sufficient as a capacitor for Regulators IC.

[0052] As shown in 2nd operation gestalt drawing 3 , the pattern configuration of lap section 12 of internal electrode layer 3a by which laminating is carried out through dielectric layer 2 a, and connection 16a presupposes that it is the same as that of the thing of the operation gestalt shown in drawing 2 , and is made different from the thing of the operation gestalt which shows only the pattern configuration of drawer section 14a to drawing 2 in stacked type ceramic condenser 1a concerning this operation gestalt.

[0053] namely, four lines extended in the direction of X in drawer section 14a with this operation gestalt -- a pattern -- constituting -- \*\*\*\* -- these lines -- it lapped with the pattern and section 12a and connection 16a are connected. the line which constitutes drawer section 14a -- ESR of the stacked type ceramic condenser obtained eventually is controllable by controlling the number of a pattern. a line -- resistance of drawer



section 14a falls, so that the number of a pattern increases. The same operation as the stacked type ceramic condenser 1 which stacked type ceramic condenser 1a concerning this operation gestalt also requires for said 1st operation gestalt is done so.

[0054] As shown in 3rd operation gestalt drawing 4, the pattern configuration of lap section 12 of internal electrode layer 3b by which laminating is carried out through dielectric layer 2 b, and connection 16b presupposes that it is the same as that of the thing of the operation gestalt shown in drawing 2, and is made different from the thing of the operation gestalt which shows only the pattern configuration of drawer section 14b to drawing 2 in stacked type ceramic condenser 1b concerning this operation gestalt.

[0055] namely, five lines extended in the direction of X in drawer section 14b with this operation gestalt -- the line extended in the direction of Y so that these mid-position may be connected to a pattern -- pattern 18b -- constituting -- \*\*\*\* -- these lines -- it lapped with the pattern and section 12b and connection 16b are connected. the line which constitutes drawer section 14b -- ESR of the stacked type ceramic condenser obtained eventually is controllable by controlling the number of a pattern. a line -- resistance of drawer section 14b falls, so that the number of a pattern increases. The same operation as the stacked type ceramic condenser 1 which stacked type ceramic condenser 1b concerning this operation gestalt also requires for said 1st operation gestalt is done so.

[0056] As shown in 4th operation gestalt drawing 5, by stacked type ceramic condenser 1c concerning this operation gestalt, the pattern configuration of lap section 12c of internal electrode layer 3c by which a laminating is carried out through a dielectric layer 2 presupposes that it is the same as that of the thing of the operation gestalt shown in drawing 2, and it has enlarged the direction width of face of X of connection 16c while making the pattern configuration of drawer section 14c different from the thing of the operation gestalt shown in drawing 2.

[0057] five lines extended in the direction of X in drawer section 14c with this operation gestalt -- a pattern -- constituting -- \*\*\*\* -- these lines -- it lapped with the pattern and section 12c and connection 16c are connected. the line which constitutes drawer section 14c -- ESR of the stacked type ceramic condenser obtained eventually is controllable by controlling the number of a pattern. a line -- resistance of drawer section 14c falls, so that the number of a pattern increases. The same operation as the stacked type ceramic condenser 1 which stacked type ceramic condenser 1c concerning this operation gestalt also requires for said 1st operation gestalt is done so.

[0058] As shown in 5th operation gestalt drawing 6 (A) and (B), although the flat-surface view pattern configuration of 12d of lap sections of 3d of internal electrode layers by which a laminating is carried out through a dielectric layer 2, 14d of drawer sections, and 16d of connections is the same as that of the conventional thing, by 1d of stacked type ceramic condensers concerning this operation gestalt, the point which has made thin thickness of 14d of drawer sections compared with the thickness of 12d of lap sections differs from the former.

[0059] That is, with this operation gestalt, thickness of 14d of drawer sections is made thin compared with the thickness of 12d of lap sections, and 16d of connections. Resistance of the part can be raised by making thin thickness of 14d of drawer sections. Moreover, ESR of the stacked type ceramic condenser obtained eventually is controllable by controlling the thickness of 14d of drawer sections. Resistance of 14d of drawer sections increases, so that the thickness of 14d of drawer sections becomes thin. The same operation as the stacked type ceramic condenser 1 which even 1d even of stacked type ceramic condensers concerning this operation gestalt requires for said 1st operation gestalt is done so.

[0060] it is not limited to the operation [ which are other operation gestalten ] gestalt which mentioned this invention above, and within the limits of this invention, many things can be boiled and it can change. For example, the pattern which changes a drawer sections [ 14, 14a-14d ] configuration is not limited to the operation gestalt mentioned above, and no matter the pattern of the drawer section may be a spiral pattern, or it may be a wavelike pattern and may be what other pattern configurations, it is not cared about.

[0061] Furthermore, in this invention, the same operation effectiveness is acquired also by constituting the drawer sections 14, 14a-14d of an internal electrode layer from the lap sections 12, 12a-12d by the high electric conduction material of resistance.

[0062]

[Example] Hereafter, although this invention is explained based on a still more detailed example, this invention is not limited to these examples.

[0063] It is BaCO<sub>3</sub> as a main raw material of example 1 dielectric layer. (mean particle diameter: 2.0 micrometers) And TiO<sub>2</sub> (mean particle diameter: 2.0 micrometers) It prepared. The atomic ratio of Ba/Ti is 1.00. moreover -- in addition, BaTiO<sub>3</sub> receiving -- as an additive -- MnCO<sub>3</sub> 0.2wt(s)% and MgCO<sub>3</sub> 0.2wt

(s)% and Y<sub>2</sub>O<sub>3</sub> 2.1wt(s)% and SiO<sub>2</sub> (Ba, calcium) 3.2wt(s)% -- it prepared each raw material powder was mixed with the underwater ball mill, and it dried. Temporary quenching of the obtained mixed powder was carried out at 1250 degrees C for 2 hours. The underwater ball mill ground this temporary-quenching powder, and it dried. The methylene chloride and the acetone were added to the obtained temporary-quenching powder as acrylic resin and an organic solvent as an organic binder, and it mixed further, and considered as the dielectric slurry. The obtained dielectric slurry was used as the dielectric green sheet with the doctor blade method.

[0064] nickel powder (mean diameter: 0.8 micrometers) was prepared as an internal electrode layer ingredient, terpeneol was added to this as ethyl cellulose and an organic solvent as an organic binder, and it kneaded using 3 rolls, and considered as the internal electrode paste.

[0065] as the electrical conducting material of an external terminal electrode -- Cu powder (mean diameter: 0.5 micrometers) and Cu powder -- receiving -- a strontium system glass frit -- 7wt(s)% -- it added, terpeneol was added to this as acrylic resin and an organic solvent as an organic binder, and it kneaded using 3 rolls, and considered as the paste for the 1st metal layers.

[0066] In order to obtain predetermined thickness, several sheet laminating of the dielectric green sheet was carried out, the 200-sheet laminating of the green sheet printed so that the edge of the paste for internal electrodes might be outside exposed from the edge of the green sheet for dielectric layers by turns with screen printing using the internal electrode pattern shown in drawing 2 on it was carried out, and it carried out thermocompression bonding. Subsequently, it cut so that the chip configuration after baking might become the vertical 2.0x width 1.2x thickness of 1.2mm, and the Green chip was obtained.

[0067] N<sub>2</sub> which humidified the obtained Green chip +H<sub>2</sub> (H<sub>2</sub>:3%) H<sub>2</sub> which held for 3 hours, calcinated at 1300 degrees C among the ambient atmosphere, and was humidified further It held at 1000 degrees C in the ambient atmosphere of ten to oxygen tension 7 atmospheric pressure for 2 hours, and the chip sintered compact was obtained. The above-mentioned paste for terminal electrodes is applied to the both ends of the obtained sintered compact, and it dries after that, and is N<sub>2</sub>-H<sub>2</sub>. It heat-treated by having held for 10 minutes at 770 degrees C among the ambient atmosphere, and the terminal electrode was obtained.

[0068] Then, the plating film was formed with electrolysis plating in order of nickel and Sn on this terminal electrode. The electrostatic capacity of the obtained stacked type ceramic condenser sample was 2.0 micro F.

[0069] The electrostatic capacity of a stacked type ceramic condenser and the value of ESR which carried out the laminating of the internal electrode structure shown in drawing 1, and produced it are shown in a table 1. The measured number is 50 pieces and shows the average. ESR was measured with the LCR meter.

[0070]

[A table 1]

内部電極パターンと電気特性

	静電容量 (μF)	ESR (Ω)
実施例 1	2.0	2.44
実施例 2	2.0	1.10
実施例 3	2.0	0.92
実施例 4	2.0	0.68
比較例 1	2.0	0.0005

[0071] Moreover, when it was made to operate by 100kHz, using the stacked type ceramic condenser of this example 1 as a capacitor for smooth of Regulator IC, it operated normally, without producing voltage variation, such as an oscillation.

[0072] Moreover, change was not accepted in fluctuation of ESR, and other electrical properties (electrostatic capacity, insulation resistance) by the elevated-temperature load test (85 degrees C, twice as many electrical-potential-difference impression as rating, 1000 hours) and anti-humidity load test (85 degrees C, 85%, rated voltage impression, 1000 hours) which are an accelerated test of a capacitor.

[0073] Except having considered as the pattern shown in drawing 3 as a pattern of an example 2 internal-electrode layer, like said example 1, the stacked type ceramic condenser sample was produced and electrostatic capacity and the value of ESR were calculated. A result is shown in a table 1.

[0074] Moreover, when it was made to operate by 100kHz, using the stacked type ceramic condenser of this example 2 as a capacitor for smooth of Regulator IC, it operated normally, without producing voltage variation, such as an oscillation.

[0075] Moreover, change was not accepted in fluctuation of ESR, and other electrical properties (electrostatic capacity, insulation resistance) by the elevated-temperature load test and anti-humidity load test which are an accelerated test of a capacitor.

[0076] Except having considered as the pattern shown in drawing 4 as a pattern of an example 3 internal-electrode layer, like said example 1, the stacked type ceramic condenser sample was produced and electrostatic capacity and the value of ESR were calculated. A result is shown in a table 1.

[0077] Moreover, when it was made to operate by 100kHz, using the stacked type ceramic condenser of this example 3 as a capacitor for smooth of Regulator IC, it operated normally, without producing voltage variation, such as an oscillation.

[0078] Moreover, change was not accepted in fluctuation of ESR, and other electrical properties (electrostatic capacity, insulation resistance) by the elevated-temperature load test and anti-humidity load test which are an accelerated test of a capacitor.

[0079] Except having considered as the pattern shown in drawing 5 as a pattern of an example 4 internal-electrode layer, like said example 1, the stacked type ceramic condenser sample was produced and electrostatic capacity and the value of ESR were calculated. A result is shown in a table 1.

[0080] Moreover, when it was made to operate by 100kHz, using the stacked type ceramic condenser of this example 4 as a capacitor for smooth of Regulator IC, it operated normally, without producing voltage variation, such as an oscillation.

[0081] Moreover, change was not accepted in fluctuation of ESR, and other electrical properties (electrostatic capacity, insulation resistance) by the elevated-temperature load test and anti-humidity load test which are an accelerated test of a capacitor.

[0082] Except having considered as the pattern of the conventional example with which the pattern of the lap section, the drawer section, and a connection sees from a flat-surface view side, and becomes rectangle-like in one altogether as a pattern of an example of comparison 1 internal-electrode layer, like said example 1, the stacked type ceramic condenser sample was produced and electrostatic capacity and the value of ESR were calculated. A result is shown in a table 1.

[0083] Moreover, when it was made to operate by 100kHz, using the stacked type ceramic condenser of the example 1 of a comparison as a capacitor for smooth of Regulator IC, voltage variation, such as an oscillation, was observed.

[0084] Moreover, fluctuation of ESR was observed in the elevated-temperature load test and anti-humidity load test which are an accelerated test of a capacitor.

[0085] By changing the configuration of the drawer section of an internal electrode, i.e., the cross section, (or volume) shows that ESR is controllable so that clearly from the assessment table 1.

[0086]

[Effect of the Invention] As explained above, according to this invention, by selecting the configuration of the drawer section of an internal electrode, it becomes controllable [ ESR ] easily and the stacked type ceramic condenser possessing desired ESR is obtained only by changing the pattern at the time of forming an internal electrode, without hardly changing the process of the usual stacked type ceramic condenser.

---

[Translation done.]

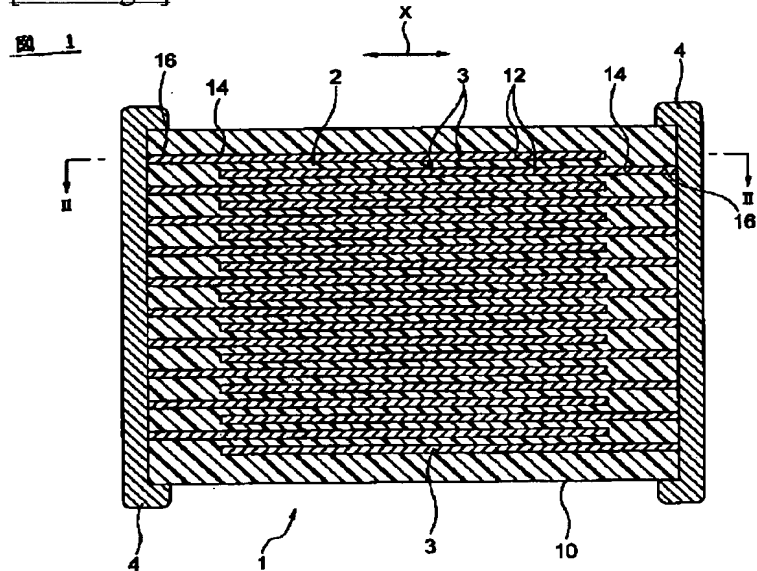
## \* NOTICES \*

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

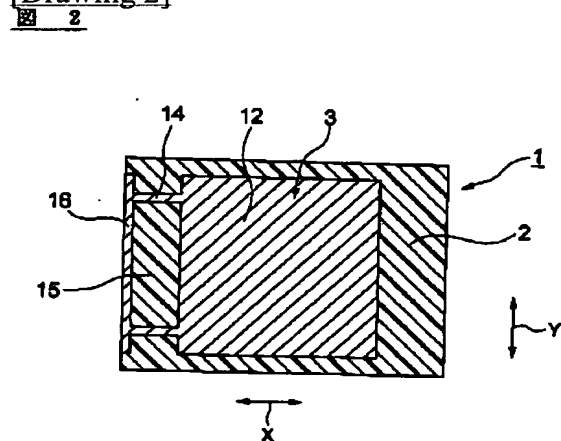
1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

## DRAWINGS

[Drawing 1]

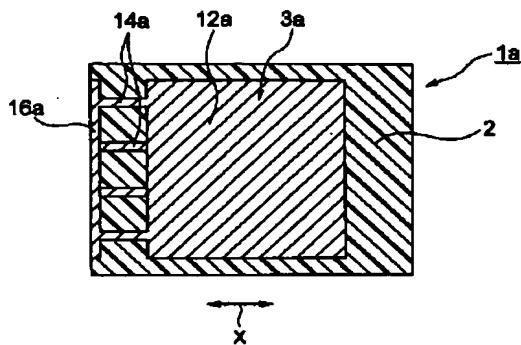


[Drawing 2]



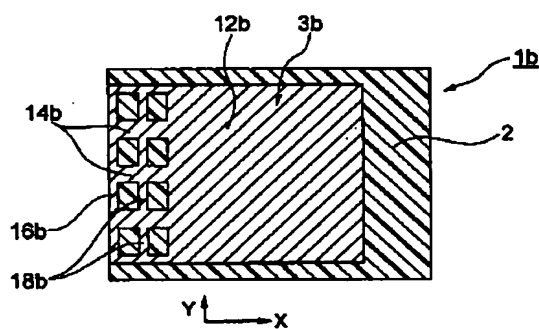
[Drawing 3]

Fig. 3.



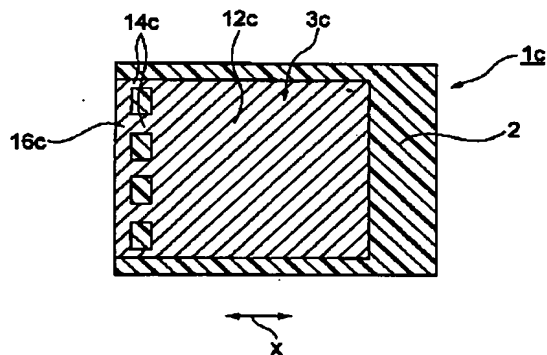
[Drawing 4]

Fig. 4

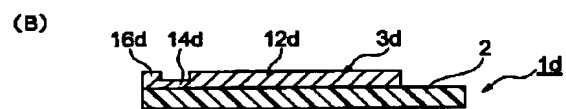
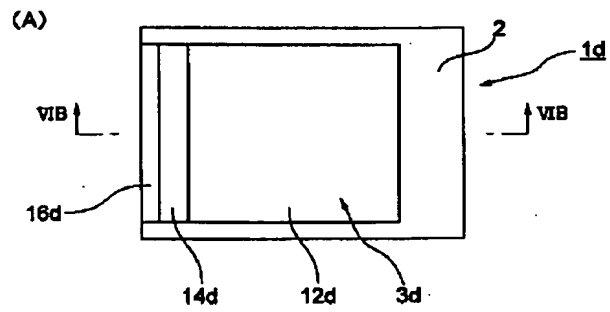


[Drawing 5]

Fig. 5



[Drawing 6]

 6

---

[Translation done.]

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-052952

(43)Date of publication of application : 23.02.2001

(51)Int.Cl.

H01G 4/12  
H01G 4/30

(21)Application number : 11-226615

(71)Applicant : TDK CORP

(22)Date of filing : 10.08.1999

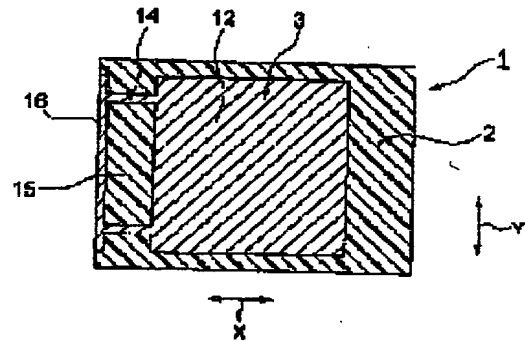
(72)Inventor : IGARASHI KATSUHIKO

## (54) LAYERED CERAMIC CAPACITOR AND ITS MANUFACTURE

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To provide a layered ceramic capacitor which can easily control ESR(equivalent series resistance) without changing most of the regular manufacturing processes of the layered ceramic capacitor and which is remarkably stable in a reliability test.

**SOLUTION:** The layered ceramic capacitor where an inner electrode layer 3 and a dielectric layer 2 are alternately laminated controls ESR by making the resistance of the leading part 14 of the inner electrode 3, which does not contribute to electrostatic capacity to be larger than that of an overlap part 12 contributed to electrostatic capacity. The lead part 14 has plural linear patterns. The obtained ESR of the layered ceramic capacitor can be controlled by controlling the number of linear patterns.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号  
特開2001-52952  
(P2001-52952A)

(43) 公開日 平成13年2月23日 (2001.2.23)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テームコード <sup>*</sup> (参考)
H 0 1 G 4/12	3 5 2	H 0 1 G 4/12	5 E 0 0 1
	3 6 4		5 E 0 8 2
4/30	3 0 1	4/30	3 0 1 C

審査請求 未請求 請求項の数 6 O L (全 10 頁)

(21) 出願番号 特願平11-226615

(22) 出願日 平成11年8月10日 (1999.8.10)

(71) 出願人 000003067

ティーディーケイ株式会社  
東京都中央区日本橋1丁目13番1号

(72) 発明者 五十嵐 克彦

東京都中央区日本橋1丁目13番1号 ティーディーケイ株式会社内

(74) 代理人 100097180

弁理士 前田 均 (外1名)

最終頁に続く

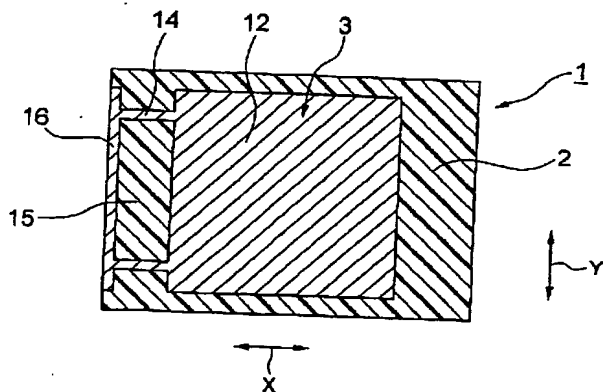
(54) 【発明の名称】 積層セラミックコンデンサおよび積層セラミックコンデンサの製造方法

(57) 【要約】

【課題】 通常の積層セラミックコンデンサの製造工程をほとんど変えることなく、容易にESR (等価直列抵抗) を制御でき、かつ信頼性試験においても極めて安定した積層セラミックコンデンサを提供することである。

【解決手段】 内部電極層3と誘電体層2とを交互に積層した積層セラミックコンデンサにおいて、静電容量に関与しない内部電極3の引き出し部14の抵抗を静電容量に関与する重なり部12の抵抗より大きくすることによりESRを制御する。引き出し部14は、たとえば複数の線状パターンである。線状パターンの数を制御することなどで、得られる積層セラミックコンデンサのESRを制御することができる。

図 2



**【特許請求の範囲】**

【請求項 1】 内部電極層と誘電体層とが交互に積層された積層セラミックコンデンサにおいて、

静電容量に関与しない内部電極層の引き出し部の抵抗が、静電容量に関与する重なり部の抵抗より大きな抵抗を有することを特徴とする積層セラミックコンデンサ。

【請求項 2】 前記引き出し部の横断面積が、前記重なり部の横断面積よりも小さいことを特徴とする請求項 1 に記載の積層セラミックコンデンサ。

【請求項 3】 前記引き出し部が、線状パターンを含むことを特徴とする請求項 2 に記載の積層セラミックコンデンサ。

【請求項 4】 前記引き出し部の厚みが、前記重なり部の厚みよりも小さいことを特徴とする請求項 2 に記載の積層セラミックコンデンサ。

【請求項 5】 内部電極層と誘電体層とを交互に積層する工程を有する積層セラミックコンデンサの製造方法において、

前記誘電体層の上に前記内部電極層のパターンを形成する際に、静電容量に関与しない内部電極層の引き出し部の抵抗が、静電容量に関与する重なり部の抵抗より大きな抵抗を有するように、引き出し部のパターン形状を選択することを特徴とする積層セラミックコンデンサの製造方法。

【請求項 6】 内部電極層と誘電体層とを交互に積層する工程を有する積層セラミックコンデンサの製造方法において、

前記誘電体層の上に前記内部電極層のパターンを形成する際に、積層セラミックコンデンサの等価直列抵抗が所定の値となるように、静電容量に関与しない内部電極層の引き出し部のパターン形状を、静電容量に関与する重なり部のパターン形状と異ならせることを特徴とする積層セラミックコンデンサの製造方法。

**【発明の詳細な説明】**

【0001】

【発明の属する技術分野】本発明は、等価直列抵抗（ESR）を正確に制御し得る積層セラミックコンデンサおよびその製造方法に関する。

【0002】

【従来の技術】情報通信の発達にともない、電子機器の小型化が非常に進んでおり、特に携帯電話の市場は驚異的な伸びを示している。これら携帯電話には、レギュレータ IC が組み込まれているが、これには積層セラミックコンデンサが出力平滑化回路を構成するように接続してある。

【0003】しかしながら、積層セラミックコンデンサは、等価直列抵抗（ESR）が非常に低く、回路内の信号がループし発振現象が生じ、その結果、会話時の雑音となり易い。つまり、レギュレータ IC の二次側回路では、平滑回路の ESR が帰還ループの位相特性に大きな

影響を与え、特に ESR が極端に低くなると問題を生じる。すなわち、平滑用コンデンサとして ESR の低い積層セラミックコンデンサを使用した場合、二次側平滑回路が等価的に L と C 成分のみで構成されてしまい、回路内に存在する位相成分が  $\pm 90^\circ$  および  $0^\circ$  のみとなり、位相の余裕がなくなって容易に発振してしまう。

【0004】この発振を抑制するためには、ESR の大きなコンデンサが必要となる。ESR の大きなコンデンサとしては、タンタルあるいはアルミニウムを用いた電解コンデンサがあるが、液漏れ等の信頼性上の決定的な問題があるために、携帯電話には使用できない。そのため、平滑化回路用コンデンサに起因する携帯電話使用時の雑音は放置されたままであるのが現状である。

【0005】このような問題点を解消するために、積層セラミックコンデンサの ESR を高めた電子部品が提案されている。例えば、特許第 2578264 号には、積層セラミックコンデンサの外部端子電極の表面に金属酸化膜を形成し、これを抵抗として機能させることにより ESR を高めており、その酸化膜厚で抵抗値を制御しようとしている。

【0006】しかしながら、その特許に開示されたコンデンサを実際に製造する際に、端子電極の酸化の制御が難しく、酸化の程度が少しでも大きいと内部電極も酸化されてしまい、コンデンサとしての機能を果たすことができなくなってしまうという課題を有する。また、仮に端子電極のみを酸化することができても、端子電極が酸化されているために不都合が生じる。

【0007】すなわち、端子電極が酸化されているために、端子電極の表面にメッキを行う際に、無電解メッキでメッキ皮膜を形成する必要がある、そのメッキの際にセラミック素体までもがメッキされないように樹脂等で被覆する必要がある。このため、工程が複雑になるばかりでなく、酸化物膜とメッキ膜（Ni 膜）との間の接着性が著しく低下し、その間で剥離が生じてしまい、電子部品としての必要十分な機械的強度が得られないという欠点がある。すなわち、端子電極のニッケルメッキ膜にリード線を設けた場合、このリード線が容易に剥離してしまう。

【0008】また、例えば、特開昭 59-225509 号公報に記載されているように、積層セラミックコンデンサに、酸化ルテニウム等の抵抗ペーストを積層し、これを同時焼成して抵抗体としたものも知られている。しかしながら、これにそのまま端子電極を設けた場合、等価回路が C/R または（LC/R）の並列回路となり、直列回路を得ることができない。また、直列回路を得るためには端子電極の形状が複雑となり、製造工程も複雑なものになってしまう。

【0009】なお、酸化物抵抗体の多くは温度依存性を有するものが多く、温度条件が変化する環境で使用する装置等には、温度依存性の小さいデバイスも望まれている。

る。さらに上記の従来のコンデンサの構造では、ESRの制御が非常に難しく、所望の抵抗値を容易に得ることができない。

【0010】最近では、電源を含む種々の装置、または電気機器、電子機器が様々な環境下で使用されることから、過酷な使用条件下でも特性の変化のないことが求められている。特にESRは経時に対して安定していることが重要である。

【0011】

【発明が解決しようとする課題】この発明の目的は、通常の積層セラミックコンデンサの製造工程を全く変えることなく、容易にESRを制御でき、かつ信頼性試験においても極めて安定した積層セラミックコンデンサと、そのコンデンサを製造するために適した製造方法とを提供することである。

【0012】

【課題を解決するための手段】上記目的を達成するために、本発明に係る積層セラミックコンデンサは、内部電極層と誘電体層とが交互に積層された積層セラミックコンデンサにおいて、静電容量に関与しない内部電極層の引き出し部の抵抗が、静電容量に関与する重なり部の抵抗より大きな抵抗を有することを特徴とする。

【0013】前記引き出し部の抵抗を、重なり部の抵抗より大きくするためには、前記引き出し部の横断面積を、前記重なり部の横断面積よりも小さくすれば良い。

【0014】前記引き出し部が、線状パターンを含むことが好ましい。

【0015】前記引き出し部の厚みを、前記重なり部の厚みよりも小さくしても良い。

【0016】本発明の第1の観点に係る積層セラミックコンデンサの製造方法は、内部電極層と誘電体層とを交互に積層する工程を有する積層セラミックコンデンサの製造方法において、誘電体層の上に内部電極層のパターンを形成する際に、静電容量に関与しない内部電極層の引き出し部の抵抗が、静電容量に関与する重なり部の抵抗より大きな抵抗を有するように、引き出し部のパターン形状を選択することを特徴とする。

【0017】本発明の第2の観点に係る積層セラミックコンデンサの製造方法は、内部電極層と誘電体層とを交互に積層する工程を有する積層セラミックコンデンサの製造方法において、誘電体層の上に内部電極層のパターンを形成する際に、積層セラミックコンデンサの等価直列抵抗が所定の値となるように、静電容量に関与しない内部電極層の引き出し部のパターン形状を、静電容量に関与する重なり部のパターン形状と異ならせることを特徴とする。

【0018】

【作用】本発明では、内部電極層における引き出し部のパターンを変える以外は、積層セラミックコンデンサの製造工程を全く変更することなく、ESRを容易に制御

できる積層セラミックコンデンサを製造することができる。

【0019】積層セラミックコンデンサの内部電極層の形状は、通常、平面側から見て四角形状を成している。これは誘電体層を介して対向する内部電極層との重なり部の面積を大きくし、静電容量を最大限に取得するためである。また、内部電極層の引き出し部は、端子電極との接続を確保するためだけのものであり、静電容量には全く寄与しない。

【0020】本発明では、特に、この引き出し部のパターン形状または厚みを重なり部のパターン形状に対して変化させることで、コンデンサのESRを制御することができる。したがって、本発明では、引き出し部の形状または厚みを変えるのみで、静電容量を全く低下させずに、ESRの制御が可能となる。

【0021】

【発明の実施の形態】以下、本発明を、図面に示す実施形態に基づき説明する。図1は本発明の一実施形態に係る積層セラミックコンデンサの断面図、図2は図1に示すII-II線に沿う断面図、図3～図5は本発明の他の実施形態に係る内部電極層のパターンを示す断面図、図6(A)は本発明のさらにその他の実施形態に係る内部電極層のパターンを示す平面図、図6(B)は図6(A)のVIB-VIB線に沿う要部断面図である。

【0022】第1実施形態

図1に示すように、本発明の一実施形態に係る積層セラミックコンデンサ1は、誘電体層2と内部電極層3とが交互に積層された構成のコンデンサ素子本体10を有する。このコンデンサ素子本体10のX方向両端部には、素子本体10の内部で交互に配置された内部電極層3と各々導通する一对の外部端子電極4が形成してある。コンデンサ素子本体10の形状に特に制限はないが、通常、直方体状とされる。また、その寸法にも特に制限はなく、用途に応じて適当な寸法とすればよいが、通常、 $(0.6 \sim 5.6 \text{ mm}) \times (0.3 \sim 5.0 \text{ mm}) \times (0.3 \sim 1.9 \text{ mm})$  程度である。

【0023】各内部電極層3は、図2に示すように、重なり部12と、重なり部12に引き出し部14を介して接続される接続部16とを有する。図2に示す内部電極層3のパターンの下または上に誘電体層2を介して積層される内部電極層3のパターンは、図2に示す内部電極層3のパターンとX方向の左右が逆になる。そして、誘電体層2を介して交互に積層される内部電極層3の接続部16は、図1に示すコンデンサ素子本体10の対向する2端部の表面に交互に露出し、それらの部分に配置される一对の外部端子電極4にそれぞれ接続される。その結果、誘電体層2を介して積層された内部電極層3は、コンデンサ回路を構成する。

【0024】各内部電極層3において、重なり部12は、誘電体層2を介して交互に積層される内部電極層3

が平面矢視側から見て重なる部分であり、その部分が、コンデンサの静電容量に関与する。また、引き出し部14および接続部16は、誘電体層2を介して交互に積層される内部電極層3が平面矢視側から見て重ならない部分であり、コンデンサの静電容量に関与せず、外部端子電極4との接続を図る部分である。

【0025】重なり部12は、静電容量に関与する部分であることから、静電容量を向上させるためには、可能な限り大面積であることが好ましく、本実施形態では、平面矢視側から見て矩形形状のパターンである。接続部16は、図1に示す外部端子電極4に直接に接続される部分であり、確実な接続を図るために、重なり部12と略同程度のY方向幅を有することが好ましい。

【0026】図2に示すように、本実施形態では、静電容量に関与しない内部電極層3の引き出し部14の抵抗が、静電容量に関与する重なり部12の抵抗より大きな抵抗を有するように、引き出し部14のパターンを、X方向に伸びる線状パターンとしている。本実施形態では、引き出し部14を構成する線状パターンを2本とし、2本の線状パターンで重なり部12と接続部16とを電氣的に接続している。引き出し部14を構成する2本の線状パターンの間には、隙間15が形成され、その隙間15では、積層方向の誘電体層2が連続している。引き出し部14を構成する線状パターンの線幅は、特に限定されないが、最小で、内部電極層3の厚みと同程度であり、最大で、重なり部12の幅の1/2である。

【0027】次に本実施形態の積層セラミックコンデンサ1の製造方法を詳細に示す。

〔誘電体層用ペースト〕誘電体層用ペーストは、誘電体原料と有機ビヒクルとを混練して製造される。誘電体原料には、誘電体層の組成に応じた粉末を用いる。誘電体材料としては特に限定されるものではなく、種々の誘電体材料を用いて良いが、例えば、酸化チタン、チタン系複合酸化物、あるいはこれらの混合物等が好ましい。酸化チタン系としては、必要に応じてNiO、CuO、Mn<sub>3</sub>O<sub>4</sub>、Al<sub>2</sub>O<sub>3</sub>、MgO、SiO<sub>2</sub>等を総計0.001~30wt%程度添加したTiO<sub>2</sub>系が挙げられる。また、チタン酸系複合酸化物としては、チタン酸バリウムBaTiO<sub>3</sub>等が挙げられる。Ba/Tiの原子比は、0.95~1.20程度が良く、BaTiO<sub>3</sub>には、MgO、CaO、Mn<sub>3</sub>O<sub>4</sub>、Y<sub>2</sub>O<sub>3</sub>、V<sub>2</sub>O<sub>5</sub>、ZnO、ZrO<sub>2</sub>、Nb<sub>2</sub>O<sub>5</sub>、Cr<sub>2</sub>O<sub>3</sub>、Fe<sub>2</sub>O<sub>3</sub>、P<sub>2</sub>O<sub>5</sub>、Na<sub>2</sub>O、K<sub>2</sub>O等が総計0.001~30wt%程度添加されていても良い。また、焼成温度、線膨張率の調整のため、(Ba、Ca)SiO<sub>2</sub>ガラス等のガラスが添加されていても良い。

【0028】誘電体原料の製造方法は特に限定されず、例えばチタン酸バリウムを用いる場合、水熱合成したB

aTiO<sub>3</sub>に、副成分原料を混合する方法を用いることができる。またBaCO<sub>3</sub>とTiO<sub>2</sub>と副成分原料との混合物を仮焼して固相反応させる乾式合成法を用いても良い。また、共沈法、ゾル・ゲル法、アルカリ加水分解法、沈殿混合法等により得た沈殿物と副成分原料との混合物を仮焼して合成しても良い。なお、副成分には、酸化物や、焼成により酸化物となる各種化合物、例えば、炭酸塩、シュウ酸塩、水酸化物、有機金属化合物等の少なくとも一種以上を用いることができる。誘電体材料の平均粒径は、目的とする誘電体層の平均結晶粒径に応じて決定すれば良いが、通常、平均粒子径0.3~1.0μm程度の粉末を用いる。誘電体ペーストは、誘電体原料とを有機ビヒクルとを混練して製造される。

【0029】有機ビヒクルは、バインダーを有機溶剤中に溶解したものである。有機ビヒクルに用いるバインダーは特に限定されず、エチルセルロース等の通常の各種バインダーから適宜選択すれば良い。また、用いる有機溶剤も特に限定されず、印刷法やシート法、利用する方法に応じて、ターピネオール、ブチルカルビトール、アセトン、トルエン等の各種有機溶剤から適宜選択すれば良い。

【0030】誘電体層の一層あたりの厚さは特に限定されないが、通常1.5~20μm程度である。また誘電体層の積層数は、通常、100~300程度である。

【0031】〔内部電極層用ペースト〕内部電極層用ペーストの導電材は特に限定されないが、Ni、Cuより選ばれる少なくとも一種以上からなることが好ましい。また、誘電体層構成材料に耐還元性を有するものを使用することで、安価な卑金属を用いることができる。このため、導電材としては、特にNiあるいはNi合金が好ましい。Ni合金としては、Mn、Cr、Co、Al等から選択される一種以上の元素とNiの合金が好ましく、合金中のNi含有量は95wt%以上であることが好ましい。なお、NiまたはNi合金中には、P等の各種微量成分が0.1wt%程度以下含まれていても良い。

【0032】内部電極用ペーストは、上記各種導電性金属や合金、あるいは焼成後に上記した導電材となる各種酸化物、有機金属化合物、レジネート等と上記した有機ビヒクルとを混練して調整する。内部電極層3の厚さは用途に応じて、適宜決定すれば良いが、0.5~5μm程度であることが好ましい。

【0033】〔外部端子電極用ペースト〕外部端子電極用ペーストは、導電材とガラスフリットと有機ビヒクルとを含む。前記導電材は、Ag、Au、Pt、Pd、Cu、Niから少なくとも一種以上から選ばれるが、安価であることからCu、Ni、あるいはそれら合金が好ましく、特にCuが好ましい。これら導電材に、焼結助剤、あるいはチップ素体との接着を確保するためにガラスフリットが添加される。

【0034】導電材の平均粒径は0.01~10 $\mu$ mとする。これよりも粒径が小さい場合、導電材粒子の凝集が激しくなり、端子電極用ペーストの塗布、乾燥時に、あるいは焼き付け時に、端子電極にクラックが生じやすくなり、これよりも粒径が大きい場合、ペースト化が困難になる。また、ガラスフリットの平均粒径は0.01~30 $\mu$ mとする。これよりも粒径が小さいと導電材の焼結が不均一となり、端子電極にクラックを発生させる原因となり、これよりも大きいと、ガラスの分散が悪くなり、端子電極と素体との接着性が低下する傾向にある。これら導電材およびガラスフリットをビヒクル中に分散して端子電極用ペーストを得る。

【0035】ガラスフリット組成は、特に限定されるものではない。ただし導電材にCuを用いた場合は中性、あるいは還元性雰囲気で端子電極を焼成する必要上、それら雰囲気下でもガラスとしての機能を果たすものであることが必要である。このようなものとしては、例えば、ケイ酸ガラス(SiO<sub>2</sub> : 20~80wt%, Na<sub>2</sub>O : 80~20wt%)、ホウケイ酸ガラス(B<sub>2</sub>O<sub>3</sub> : 5~50wt%, SiO<sub>2</sub> : 5~70wt%, PbO : 1~10wt%, K<sub>2</sub>O : 1~15wt%)、アルミナケイ酸ガラス(Al<sub>2</sub>O<sub>3</sub> : 1~30wt%, SiO<sub>2</sub> : 10~60wt%, Na<sub>2</sub>O : 5~15wt%, CaO : 1~20wt%, B<sub>2</sub>O<sub>3</sub> : 5~30wt%)から選択されるガラスフリットの一種または二種以上を用いれば良い。これに必要に応じて、CaO : 0.01~50wt%, BaO : 0.01~50wt%, MgO : 0.01~5wt%, ZnO : 0.01~70wt%, PbO : 0.01~5wt%, Na<sub>2</sub>O : 0.01~10wt%, K<sub>2</sub>O : 0.01~10wt%, MnO<sub>2</sub> : 0.01~20wt%等の添加物を所定の組成になるように混合して用いれば良い。導電材である金属成分に対するガラスの含有量は特に限定されるものではないが、通常、金属成分に対して0.5~15wt%程度である。有機ビヒクルとしては上述のものを用いれば良い。

【0036】[有機ビヒクルの含有量] 上記した各ペースト中の有機ビヒクルの含有量に特に制限はなく、通常の含有量、例えばバインダーは1~5wt%程度、溶剤は10~50wt%とすれば良い。また、各ペースト中には、必要に応じて各種分散剤、可塑剤、誘電体、絶縁体等から選択される添加剤が含有されていても良い。これらの総含有量は、10wt%以下とすることが好ましい。

【0037】[グリーンチップの作製] 印刷法を用いる場合、誘電体用ペーストおよび内部電極用ペーストをPET等の基板状に印刷する。このとき内部電極用ペーストの端部的一方が誘電体ペーストの端部より交互に外部に露出するように積層する。その後、熱圧着し、所定形状に切断してチップ化した後、基板から剥離してグリー

ンチップとする。

【0038】また、シート法を用いる場合、誘電体層用ペーストを用いてグリーンシートを形成し、このグリーンシート上に内部電極層用ペーストを印刷し、これらを交互に繰り返して積層し、所定形状に切断してグリーンチップとする。

【0039】本実施形態では、内部電極用ペーストを印刷する際に、たとえば図2に示すように、重なり部12、引き出し部14および接続部16から成る内部電極用パターンを形成する。

【0040】[脱バインダー工程] 焼成前に行う脱バインダー処理の条件は、通常のものであっても良いが、内部電極層の導電材にNiやNi合金等の卑金属を用いる場合、特に下記の条件で行うことが好ましい。

昇温速度 : 5~300℃/時間、特に10~100℃/時間

保持温度 : 200~400℃/時間、特に250~300℃/時間

温度保持時間 : 0.5~24時間、特に5~20時間

雰囲気 : 空気中

【焼成工程】グリーンチップの焼成時の雰囲気は、内部電極用ペーストの導電材の種類に応じて適宜選択すれば良いが、導電材としてNiやNi合金等の卑金属を用いる場合、焼成雰囲気はN<sub>2</sub>を主成分とし、H<sub>2</sub>を1~10%、10~35℃における水蒸気圧によって得られるH<sub>2</sub>Oガスを混合したものが好ましい。酸素分圧は10<sup>-8</sup>~10<sup>-12</sup>気圧とすることが好ましい。酸素分圧が前記範囲未満であると、内部電極の導電材が異常焼結を起こし、途切れてしまうことがある。また、酸素分圧が前記範囲を越えると、内部電極が酸化してしまう傾向にある。焼成時の保持温度は、1100~1400℃、特に1200~1300℃とすることが好ましい。保持温度が前記範囲未満であると緻密化が不十分であり、前記範囲を越えると、内部電極が途切れやすくなる。また、焼成時の温度保持時間は、0.5~8時間、特に1~3時間が好ましい。

【0041】[アニール工程] 還元雰囲気で焼成した場合、積層チップコンデンサにはアニールを施すことが好ましい。アニールは、誘電体層を再酸化するための処理であり、これにより絶縁抵抗の加速寿命を著しく長くすることができる。

【0042】アニール雰囲気の酸素分圧は、10<sup>-6</sup>気圧以上、特に10<sup>-6</sup>~10<sup>-8</sup>気圧とすることが好ましい。酸素分圧が前記範囲未満であると誘電体層の再酸化が困難であり、前記範囲を越えると内部電極が酸化する。

【0043】アニールの保持温度は、1100℃以下、特に500~1000℃とすることが好ましい。保持温度が前記範囲未満であると、誘電体層の酸化が不十分となり、絶縁抵抗の加速寿命が短くなる傾向を示し、前記

範囲を越えると内部電極が酸化し、容量が低下するだけでなく、誘電体素地と反応し、加速寿命も短くなる。なお、アニール工程は昇温および降温だけから構成しても良い。この場合、温度保持時間をとる必要なく、保持温度は最高温度と同義である。また、温度保持時間は、0～20時間、特に2～10時間が好ましい。雰囲気ガスには、 $N_2$  と加湿した $H_2$  ガスを用いることが好ましい。

【0044】なお、上記した脱バインダー処理、焼成およびアニールの各工程において、 $N_2$ 、 $H_2$  や混合ガス等を加湿するには、例えば、ウェッター等を使用すれば良い。この場合の水温は、5～75℃程度が好ましい。脱バインダー処理工程、焼成工程およびアニール工程は、連続して行っても、独立して行っても良い。これらを連続して行う場合、脱バインダー処理後、冷却せず雰囲気を変更、独立して行っても良い。これらを連続して行う場合、脱バインダー処理後、冷却せず雰囲気を変更し、続いて焼成の保持温度まで昇温して焼成を行い、ついで冷却し、アニール工程での保持温度に達したときに雰囲気を変更してアニールを行うことが好ましい。

【0045】また、これらを独立して行う場合は、脱バインダー処理工程は、所定の保持温度まで昇温し、所定時間保持した後、室温まで降温する。その際の脱バインダー雰囲気は連続して行う場合と同様なものとする。また脱バインダー工程と焼成工程とを連続して行い、アニール工程だけを独立して行うようにしても良く、脱バインダー工程だけを独立して行い、焼成工程とアニール工程を連続して行うようにしても良い。

【0046】〔端子電極形成〕端子電極用ペーストを焼結体チップに塗布する。塗布工程としては特に限定されるものではないが、ディップ法等によれば良い。端子電極用ペーストの塗布量は、特に限定されるものではなく、塗布する焼結体チップの大きさなどにより適宜調整すれば良いが、通常、5～100 $\mu m$ 程度である。端子電極用ペーストを塗布後、乾燥する。乾燥は60～150℃程度で、10分～1時間程度行うことが好ましい。

【0047】上記のようにして端子電極用ペーストを塗布、乾燥した後、チップ素体への焼き付けを行う。焼き付け条件は、例えば、 $N_2$  の中性雰囲気、あるいは $N_2$  と $H_2$  との混合ガス等の還元雰囲気中にて600℃～1000℃で0～1時間程度保持することにより行うことが好ましい。

【0048】〔メッキ層〕必要に応じて上記端子電極上にNi層とSn層またはSn-Pb合金層を電解メッキ法にて形成する。メッキ層の厚みは特に限定されないが、通常、0.1～10 $\mu m$ 程度である。

【0049】〔積層セラミックコンデンサおよびその製造方法の作用〕本実施形態では、内部電極層3における引き出し部14のパターンを変える以外は、積層セラミックコンデンサの製造工程を全く変更することなく、E

SRを容易に制御できる積層セラミックコンデンサ1を製造することができる。

【0050】本実施形態では、特に、この引き出し部14のパターン形状を重なり部12のパターン形状に対して変化させることで、コンデンサのESRを制御することができる。したがって、本実施形態では、引き出し部14の形状を変えるのみで、静電容量を全く低下させずに、ESRの制御が可能となる。

【0051】ESRの具体的な値は、特に限定されるものではないが、通常、0.5 $\Omega$ ～10 $\Omega$ 程度であり、好ましくは0.5～5 $\Omega$ である。この範囲のESRを有する積層セラミックコンデンサは、レギュレータIC用のコンデンサとして十分な性能を発揮することができる。

#### 【0052】第2実施形態

図3に示すように、本実施形態に係る積層セラミックコンデンサ1aでは、誘電体層2を介して積層される内部電極層3aの重なり部12aおよび接続部16aのパターン形状は、図2に示す実施形態のものと同様とし、引き出し部14aのパターン形状のみを、図2に示す実施形態のものと同様させている。

【0053】すなわち、本実施形態では、引き出し部14aを、X方向に伸びる4本の線状パターンで構成しており、これら線状パターンにより重なり部12aと接続部16aとを接続している。引き出し部14aを構成する線状パターンの本数を制御することで、最終的に得られる積層セラミックコンデンサのESRを制御することができる。線状パターンの本数が増えるほど、引き出し部14aの抵抗が低下する。本実施形態に係る積層セラミックコンデンサ1aでも、前記第1実施形態に係る積層セラミックコンデンサ1と同様な作用を奏する。

#### 【0054】第3実施形態

図4に示すように、本実施形態に係る積層セラミックコンデンサ1bでは、誘電体層2を介して積層される内部電極層3bの重なり部12bおよび接続部16bのパターン形状は、図2に示す実施形態のものと同様とし、引き出し部14bのパターン形状のみを、図2に示す実施形態のものと同様させている。

【0055】すなわち、本実施形態では、引き出し部14bを、X方向に伸びる5本の線状パターンと、これらの中間位置を結ぶようにY方向に伸びる線状パターン18bとで構成しており、これら線状パターンにより重なり部12bと接続部16bとを接続している。引き出し部14bを構成する線状パターンの本数を制御することで、最終的に得られる積層セラミックコンデンサのESRを制御することができる。線状パターンの本数が増えるほど、引き出し部14bの抵抗が低下する。本実施形態に係る積層セラミックコンデンサ1bでも、前記第1実施形態に係る積層セラミックコンデンサ1と同様な作用を奏する。

#### 【0056】第4実施形態

図5に示すように、本実施形態に係る積層セラミックコンデンサ1cでは、誘電体層2を介して積層される内部電極層3cの重なり部12cのパターン形状は、図2に示す実施形態のものと同様とし、引き出し部14cのパターン形状を、図2に示す実施形態のものと相違させると共に、接続部16cのX方向幅を大きくしてある。

【0057】本実施形態では、引き出し部14cを、X方向に伸びる5本の線状パターンで構成してあり、これら線状パターンにより重なり部12cと接続部16cとを接続している。引き出し部14cを構成する線状パターンの本数を制御することで、最終的に得られる積層セラミックコンデンサのESRを制御することができる。線状パターンの本数が増えるほど、引き出し部14cの抵抗が低下する。本実施形態に係る積層セラミックコンデンサ1cでも、前記第1実施形態に係る積層セラミックコンデンサ1と同様な作用を奏する。

#### 【0058】第5実施形態

図6(A)および(B)に示すように、本実施形態に係る積層セラミックコンデンサ1dでは、誘電体層2を介して積層される内部電極層3dの重なり部12d、引き出し部14dおよび接続部16dの平面矢視パターン形状は、従来のものと同様であるが、引き出し部14dの厚みを、重なり部12dの厚みに比べて薄くしてある点が、従来と異なる。

【0059】すなわち、本実施形態では、引き出し部14dの厚みを、重なり部12dおよび接続部16dの厚みに比べて薄くしてある。引き出し部14dの厚みを薄くすることで、その部分の抵抗を上げることができる。また、引き出し部14dの厚みを制御することで、最終的に得られる積層セラミックコンデンサのESRを制御することができる。引き出し部14dの厚みが薄くなるほど、引き出し部14dの抵抗が増大する。本実施形態に係る積層セラミックコンデンサ1dでも、前記第1実施形態に係る積層セラミックコンデンサ1と同様な作用を奏する。

#### 【0060】その他の実施形態

なお、本発明は、上述した実施形態に限定されるものではなく、本発明の範囲内で種々に改変することができる。たとえば、引き出し部14、14a~14dの形状を変更するパターンは、上述した実施形態に限定されるものではなく、引き出し部のパターンが螺旋状パターンであっても、波状パターンであっても良く、また他のいかなるパターン形状であってもかまわない。

【0061】さらに、本発明では、内部電極層の引き出し部14、14a~14dを、重なり部12、12a~12dよりも抵抗の高い導電材で構成することによって同様な作用効果が得られる。

#### 【0062】

【実施例】以下、本発明を、さらに詳細な実施例に基づき説明するが、本発明は、これら実施例に限定されな

い。

#### 【0063】実施例1

誘電体層の主原料としてBaCO<sub>3</sub>（平均粒径：2.0μm）およびTiO<sub>2</sub>（平均粒径：2.0μm）を用意した。Ba/Tiの原子比は1.00である。また、これに加えて、BaTiO<sub>3</sub>に対し、添加物としてMnCO<sub>3</sub>を0.2wt%、MgCO<sub>3</sub>を0.2wt%、Y<sub>2</sub>O<sub>3</sub>を2.1wt%、(Ba, Ca)SiO<sub>3</sub>を2.2wt%用意した。各原料粉末を水中ボールミルで混合し、乾燥した。得られた混合粉を1250℃で2時間仮焼した。この仮焼粉を水中ボールミルで粉碎し、乾燥した。得られた仮焼粉に、有機バインダーとしてアクリル樹脂と有機溶剤として塩化メチレンとアセトンを加えてさらに混合し、誘電体スラリーとした。得られた誘電体スラリーをドクターブレード法にて誘電体グリーンシートとした。

【0064】内部電極層材料としてNi粉末（平均粒径：0.8μm）を用意し、これに有機バインダーとしてエチルセルロースと、有機溶剤としてターピネオールを加え、三本ロールを用いて混練し、内部電極ペーストとした。

【0065】外部端子電極の導電材料として、Cu粉末（平均粒径：0.5μm）とCu粉末に対してストロンチウム系ガラスフリットを7wt%添加し、これに有機バインダーとしてアクリル樹脂と有機溶剤としてターピネオールを加え、三本ロールを用いて混練し、第1金属層用ペーストとした。

【0066】所定の厚みを得るために誘電体グリーンシートを数枚積層し、その上にスクリーン印刷法により、図2に示した内部電極パターンを用いて、内部電極用ペーストの端部が誘電体層用グリーンシートの端部から交互に外部に露出するように印刷されたグリーンシートを200枚積層し、熱圧着した。次いで、焼成後のチップ形状が、縦2.0×横1.2×厚み1.2mmになるように切断し、グリーンチップを得た。

【0067】得られたグリーンチップを、加湿したN<sub>2</sub>+H<sub>2</sub>（H<sub>2</sub>：3%）雰囲気中、1300℃にて3時間保持して焼成し、さらに加湿したH<sub>2</sub>酸素分圧10<sup>-7</sup>気圧の雰囲気にて1000℃で2時間保持し、チップ焼結体を得た。得られた焼結体の両端部に上記端子電極用ペーストを塗布し、その後に乾燥し、N<sub>2</sub>-H<sub>2</sub>雰囲気中、770℃で10分間保持して熱処理を行い、端子電極を得た。

【0068】その後、該端子電極上にNi、Snの順に電解メッキ法にてメッキ膜を形成した。得られた積層セラミックコンデンサ試料の静電容量は2.0μFであった。

【0069】図1に示す内部電極構造を積層して作製した積層セラミックコンデンサの静電容量とESRの値を表1に示す。測定した個数は50個であり、その平均値



を示す。ESRは、LCRメータにより測定した。

【0070】

【表1】

内部電極パターンと電気特性

	静電容量 ( $\mu\text{F}$ )	ESR ( $\Omega$ )
実施例1	2.0	2.44
実施例2	2.0	1.10
実施例3	2.0	0.92
実施例4	2.0	0.68
比較例1	2.0	0.0005

【0071】また、本実施例1の積層セラミックコンデンサを、レギュレータICの平滑用コンデンサとして用い100kHzで動作させたところ、発振等の電圧変動を生じることなく正常に動作した。

【0072】また、コンデンサの加速試験である高温負荷試験（85℃、定格の2倍の電圧印加、1000時間）および耐湿負荷試験（85℃、85%、定格電圧印加、1000時間）でもESRの変動およびその他の電気特性（静電容量、絶縁抵抗）に変化は認められなかった。

【0073】実施例2

内部電極層のパターンとして、図3に示すパターンとした以外は、前記実施例1と同様にして、積層セラミックコンデンサ試料を作製し、静電容量とESRの値を求めた。結果を表1に示す。

【0074】また、本実施例2の積層セラミックコンデンサを、レギュレータICの平滑用コンデンサとして用い100kHzで動作させたところ、発振等の電圧変動を生じることなく正常に動作した。

【0075】また、コンデンサの加速試験である高温負荷試験および耐湿負荷試験でもESRの変動およびその他の電気特性（静電容量、絶縁抵抗）に変化は認められなかった。

【0076】実施例3

内部電極層のパターンとして、図4に示すパターンとした以外は、前記実施例1と同様にして、積層セラミックコンデンサ試料を作製し、静電容量とESRの値を求めた。結果を表1に示す。

【0077】また、本実施例3の積層セラミックコンデンサを、レギュレータICの平滑用コンデンサとして用

い100kHzで動作させたところ、発振等の電圧変動を生じることなく正常に動作した。

【0078】また、コンデンサの加速試験である高温負荷試験および耐湿負荷試験でもESRの変動およびその他の電気特性（静電容量、絶縁抵抗）に変化は認められなかった。

【0079】実施例4

内部電極層のパターンとして、図5に示すパターンとした以外は、前記実施例1と同様にして、積層セラミックコンデンサ試料を作製し、静電容量とESRの値を求めた。結果を表1に示す。

【0080】また、本実施例4の積層セラミックコンデンサを、レギュレータICの平滑用コンデンサとして用い100kHzで動作させたところ、発振等の電圧変動を生じることなく正常に動作した。

【0081】また、コンデンサの加速試験である高温負荷試験および耐湿負荷試験でもESRの変動およびその他の電気特性（静電容量、絶縁抵抗）に変化は認められなかった。

【0082】比較例1

内部電極層のパターンとして、重なり部、引き出し部および接続部のパターンが、平面矢視側から見て全て一体的に矩形状となる従来例のパターンとした以外は、前記実施例1と同様にして、積層セラミックコンデンサ試料を作製し、静電容量とESRの値を求めた。結果を表1に示す。

【0083】また、比較例1の積層セラミックコンデンサを、レギュレータICの平滑用コンデンサとして用い100kHzで動作させたところ、発振等の電圧変動が観察された。

【0084】また、コンデンサの加速試験である高温負荷試験および耐湿負荷試験において、ESRの変動が観察された。

【0085】評価

表1から明らかなように、内部電極の引き出し部の形状、すなわち断面積（または体積）を変えることにより、ESRを制御できることが分かる。

【0086】

【発明の効果】以上説明してきたように、本発明によれば、内部電極の引き出し部の形状を選定することにより、容易にESRの制御が可能となり、内部電極を形成する際のパターンを変更するだけで、通常の積層セラミックコンデンサの工程をほとんど変更せずに、所望のESRを具備した積層セラミックコンデンサが得られる。

【図面の簡単な説明】

【図1】 図1は本発明の一実施形態に係る積層セラミックコンデンサの断面図である。

【図2】 図2は図1に示すII-II線に沿う断面図である。

【図3】 図3は本発明の他の実施形態に係る内部電極

層のパターンを示す断面図である。

【図4】 図4は本発明のさらに他の実施形態に係る内部電極層のパターンを示す断面図である。

【図5】 図5は本発明のさらに他の実施形態に係る内部電極層のパターンを示す断面図である。

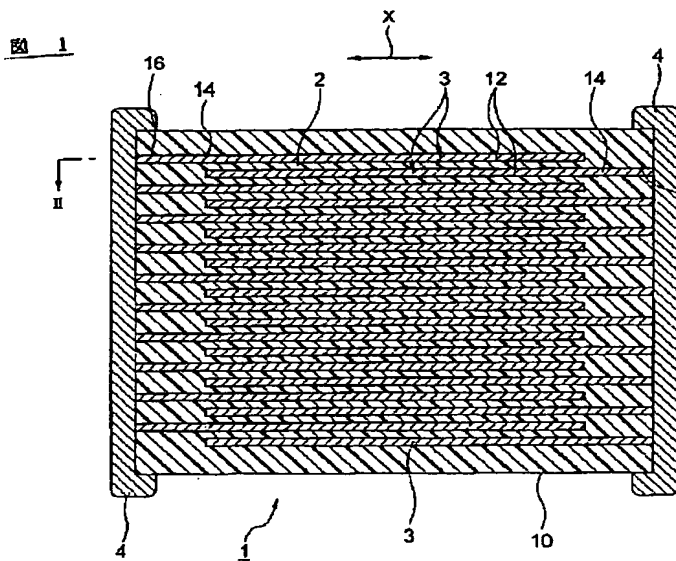
【図6】 図6（A）は本発明のさらにその他の実施形態に係る内部電極層のパターンを示す平面図、図6

（B）は図6（A）のVIB-VIB線に沿う要部断面図である。

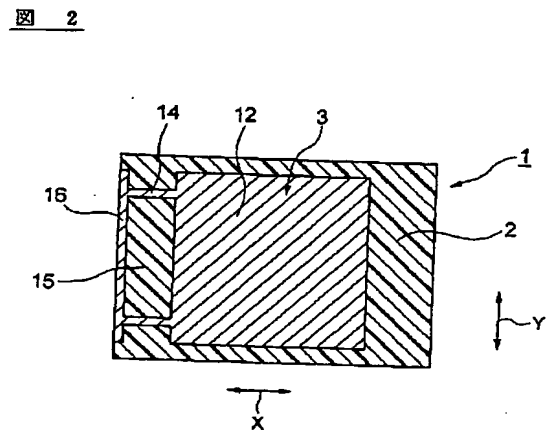
【符号の説明】

- 1, 1a~1d… 積層セラミックコンデンサ
- 2… 誘電体層
- 3… 内部電極層
- 4… 外部端子電極
- 10… コンデンサ素子素体
- 12, 12a~12d… 重なり部
- 14, 14a~14d… 引き出し部
- 16, 16a~16d… 接続部

【図1】

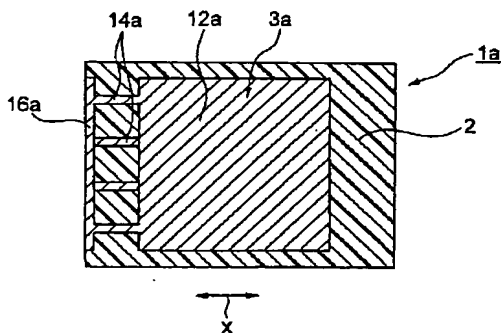


【図2】



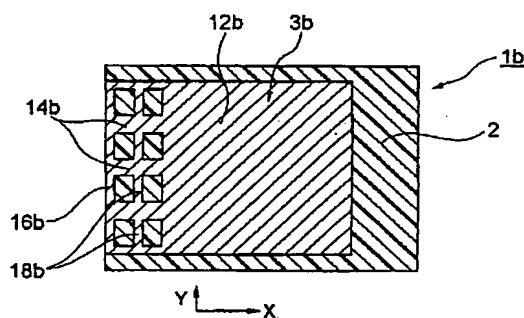
【図3】

図 3.



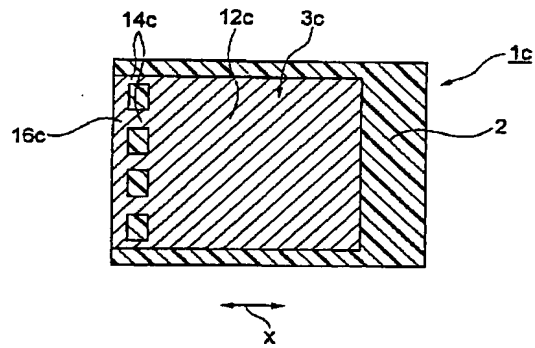
【図4】

図 4.



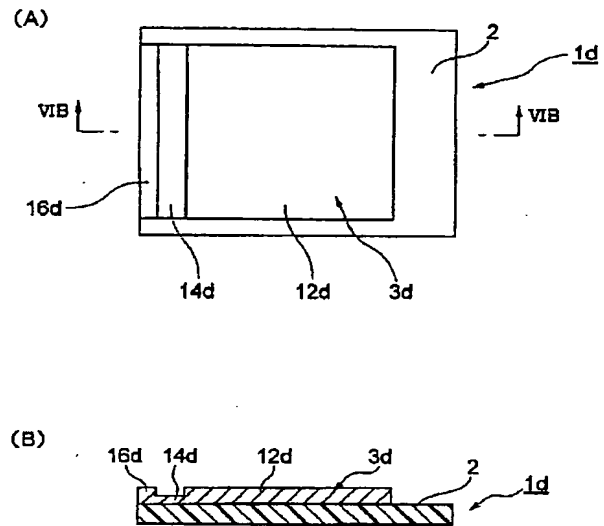
【図5】

図 5



【図6】

図 6



フロントページの続き

Fターム(参考) 5E001 AB03 AC02 AC04 AC09 AE00  
 AE02 AE03 AE04 AF00 AF03  
 AF06 AH01 AH05 AH06 AH08  
 AH09 AJ01  
 5E082 AA01 AB03 BC40 EE04 EE12  
 EE16 EE23 EE26 EE35 FG06  
 FG22 FG26 FG27 FG46 FG54  
 GG10 GG11 GG26 GG28 JJ03  
 JJ05 JJ12 JJ21 LL01 LL02  
 LL03 MM22 MM24 PP02 PP09

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☒ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**